



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0086246
Application Number

출원년월일 : 2002년 12월 30일
Date of Application
DEC 30, 2002

출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 12 월 22 일

특 허 청

COMMISSIONER





919980005148



10111010000000000000



0000029000

방 식 심 사 란	담	당	심	사	관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0036

【제출일자】 2002.12.30

【발명의 국문명칭】 와이어 스택형 반도체 패키지 및 그 구조

【발명의 영문명칭】 WIRE STACK TYPE SEMICONDUCTOR PACKAGE AND ITS STRUCTURE

【출원인】

【명칭】 동부전자 주식회사

【출원인코드】 1-1998-106725-7

【대리인】

【성명】 장성구

【대리인코드】 9-1998-000514-8

【포괄위임등록번호】 1999-059722-7

【대리인】

【성명】 김원준

【대리인코드】 9-1998-000104-8

【포괄위임등록번호】 1999-059725-9

【발명자】

【성명의 국문표기】 박진호

【성명의 영문표기】 PARK, Jin-Ho

【주민등록번호】 710305-1066918

【우편번호】 461-708

【주소】 경기도 성남시 수정구 신흥2동 신흥주공아파트 102-1505

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인 장성구 (인)

대리인 김원준 (인)

【수수료】

【기본출원료】	13	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】			29,000	원
------	--	--	--------	---

【첨부서류】 1.요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 와이어 스택형 반도체 패키지 및 그 구조에 관한 것으로, 특히 패키지의 상부면 또는 하부면에 리드 프레임이 각각 수직으로 연결되어 패키지 외부로 돌출되며 끝단이 걸쇠 형태를 갖는 다수개의 아웃 와이어를 갖는 제 1 및 제 2 반도체 패키지에서 하부 제 1 반도체 패키지의 각 아웃 와이어들이 걸쇠를 통해 서로 연결되도록 하여 스택형 구조의 패키지로 제작함으로써 적어도 두 개이상의 반도체 칩을 패키지화할 경우 어느 하나의 반도체 패키지내 칩에서 불량 발생하더라도 이들 패키지를 쉽게 분리하여 다른 정상 패키지로 교환할 수 있기 때문에 제품 수율을 향상시킬 수 있다.

【대표도】

도 4b

【명세서】

【발명의 명칭】

와이어 스택형 반도체 패키지 및 그 구조{WIRE STACK TYPE
SEMICONDUCTOR PACKAGE AND ITS STRUCTURE}

【도면의 간단한 설명】

도 1은 종래 기술에 의해 하나의 PCB에 여러 개의 반도체 칩이 단독으로 실장된 경우를 나타낸 도면,

도 2는 종래 기술에 의해 하나의 PCB에 여러 개의 반도체 칩이 스택형으로 실장된 경우를 나타낸 도면,

도 3a 및 도 3b는 본 발명에 따른 와이어 스택형 반도체 패키지의 상부면 및 수직 단면을 나타낸 도면들,

도 4a 및 도 4b는 본 발명에 따른 와이어 스택형 반도체 패키지를 스택형으로 실장한 경우를 나타낸 도면들.

<도면의 주요부분에 대한 부호의 설명>

100 : 상부의 제 1반도체 패키지


110, 210 : 지지대 홈

120, 220 : 아웃 와이어들

200 : 하부의 제 2반도체 패키지

230 : 지지대

【발명의 상세한 설명】



【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】


본 발명은 반도체 패키지 및 그 구조에 관한 것으로서, 특히 적어도 두 개의 상의 반도체 칩을 패키지화했을 때 하나의 칩에서 불량 발생하더라도 재작업이 용이한 와이어 스택형 반도체 패키지 및 그 구조에 관한 것이다.

현재, 반도체 칩 등을 이용하는 모든 전자 시스템(예를 들면, 컴퓨터, PCS, 셀룰러폰, PDA 등)은 이용자들의 욕구 충족을 위해 점진적으로 고 기능화 및 경박 단소화되어 가는 추세이다. 설계 및 제조 공정 기술의 발전에 따라 전자 시스템에 채용되는 반도체 칩 또한 고 기능화 및 경박 단소화되어 가고 있으며, 이러한 추세에 부응하여 반도체 패키지 또한 경박 단소화되어 가고 있으며 적어도 두 개 이상의 칩을 하나의 PCB에 실장하는 기술이 널리 사용되고 있다.

도 1은 종래 기술에 의해 하나의 PCB에 여러 개의 반도체 칩이 단독으로 실장된 경우를 나타낸 도면이다. 도 1을 참조하면, 종래 반도체 패키지의 일 예는 제 1반도체 칩(Chip1)(12), 제 2반도체 칩(Chip2)(14), 제 3반도체 칩(Chip3)(16) 등이 각각 단독으로 하나의 PCB(10) 상부면에 실장된 것을 나타낸다. 이러한 반도체 패키지는 반도체 칩들(12, 14, 16)이 PCB(10) 표면에 차지하는 면적이 넓기 때문에 많은 반도체 칩들을 실장하기 어려웠다.

이러한 문제를 해결하기 위하여 여러 개의 반도체 칩을 하나의 패키지화하는 기술이 제안되었다.

도 2는 종래 기술에 의해 하나의 PCB에 여러 개의 반도체 칩이 스택형으로




실장된 경우를 나타낸 도면이다. 도 2를 참조하면, 종래 반도체 패키지의 다른 예는 하나의 PCB기판(20) 상부에 제 1반도체 칩(Chip1)(24)과 제 2반도체 칩(Chip2)(26)을 스택형으로 적층하되, 이들 기판(20)과 칩(24) 사이 또는 칩들(24, 26) 사이를 고정하기 위한 접착제(22)로 부착하고 각 칩(24, 26)의 리드(미도시됨)는 기판(20)의 외부 리드 프레임(미도시됨)과 와이어(28)로 연결시켜 패키지를 완성한다.

이러한 스택형 구조의 반도체 패키지는 PCB 기판의 점유 면적을 줄일 수 있는 장점이 있지만, 하나의 칩에서 불량 발생 시 불량 칩을 교환해야 하는 재작업이 불가능하기 때문에 패키지를 사용할 수 없다는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 패키지의 상부면 또는 하부면에 각각 패키지 내부의 리드 프레임과 수직으로 연결되며 끝단이 결쇠 형태인 아웃 와이어들을 추가하고 서로 다른 반도체 패키지의 아웃 와이어를 서로 연결하여 스택형 구조의 패키지로 제작함으로써 적어도 두 개 이상의 반도체 칩을 패키지화할 경우 어느 하나의 반도체 패키지내 칩에서 불량 발생하더라도 재작업이 용이하여 제품 수율을 향상시킬 수 있는 와이어 스택형 반도체 패키지 및 그 구조를 제공하는데 있다.

상기 목적을 달성하기 위하여 본 발명의 와이어 스택형 반도체 패키지는 내부에 반도체 칩과, 반도체 칩과 리드 프레임이 와이어를 통해 연결된 반도체 패키지에 있어서, 반도체 패키지의 상부면 또는 하부면에 리드 프레임이 각각 수직으로 연결되어 패키지 외부로 돌출되며 끝단이 결쇠 형태를 갖는 다수개의 아웃 와이어를



구비한다.

상기 목적을 달성하기 위하여 본 발명의 와이어 스택형 반도체 패키지 구조는 내부에 반도체 칩과, 반도체 칩과 리드 프레임이 와이어를 통해 연결된 적어도 두 개 이상의 반도체 패키지에 있어서, 패키지의 상부면 또는 하부면에 리드 프레임이 각각 수직으로 연결되어 패키지 외부로 돌출되며 끝단이 걸쇠 형태를 갖는 다수 개의 아웃 와이어를 갖는 제 1 및 제 2 반도체 패키지에서 하부 제 1 반도체 패키지의 각 아웃 와이어들이 걸쇠를 통해 서로 연결되도록 한다.

【발명의 구성】

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.

도 3a 및 도 3b는 본 발명에 따른 와이어 스택형 반도체 패키지의 상부면 및 수직 단면을 나타낸 도면들로서, 이를 참조하면 본 발명의 반도체 패키지는 다음과 같은 구조를 갖는다.

도 3a 및 도 3b에 도시된 바와 같이, 반도체 패키지(100) 내부에 반도체 칩(130)이 있으며 이 반도체 칩(130)은 와이어(132)를 통해 리드 프레임(134)에 연결되며 리드 프레임(134)의 상부면 또는 하부면에 연결된 금속층(140)이 형성되어 있다. 그리고 패키지(100) 내부는 반도체 칩(130)과 와이어(132) 영역을 제외하고 수지(114) 등으로 몰딩되어 있다. 또한 금속층(140) 상부에는 몰드층을 관통하는 비아(142)를 통해 패키지 외부로 아웃 와이어(120)가 돌출 형성되어 결국 리드 프레임(134)과 접속된다. 도면에 미도시되어 있지만, 본 발명의 반도체 패키지(100)는 패키지 하부면

에도 아웃 와이어를 추가적으로 설치할 수 있다. 이 경우 금속층(140) 하부에 아웃 와이어(미도시됨)가 삽입되는 비아(112)가 다수 개 형성되어 리드 프레임(134)과 수직으로 접속된다.

본 발명에 따른 반도체 패키지(100)의 아웃 와이어(120)는 끝단이 결외 형태를 갖는데, 적어도 두 개 이상의 패키지가 서로 아웃 와이어(120)의 결외 부분을 서로 교차시키면 스택형 구조로 적층시킬 수 있다.

그러므로, 본 발명의 반도체 패키지(100)는 적어도 두 개 이상의 패키지를 스택형 구조로 적층하기 위해서 패키지 상부면(또는 하부면)에 아웃 와이어(120)를 형성할 경우 아웃 와이어(120)가 있는 패키지의 외곽 표면에 일정 높이의 지지대(130)를 포함하는 것이 바람직하다. 그리고 패키지 표면에는 지지대(130)가 삽입되는 홈(미도시됨)을 더 구비해야 한다.

만약 4개의 반도체 패키지(100)를 스택형 구조로 실장하고자 할 경우 본 발명에서는 아웃 와이어(120)가 서로 연결되지 않는 패키지 표면에서도 다른 층 반도체 패키지와 수직으로 적층되도록 지지대와 이의 삽입홈을 서로 끼워 맞춰야만 한다.

도 4a 및 도 4b는 본 발명에 따른 와이어 스택형 반도체 패키지를 스택형으로 실장한 경우를 나타낸 도면들이다. 이들 도면을 참조하여 본 발명의 일 실시예에 따라 두 개의 반도체 패키지를 스택형 구조로 실장하는 과정에 대해 설명한다.

우선, 본 발명에 따라 반도체 패키지 상부면 또는 하부면에 각각 끝단이 결외 형태인 다수개의 아웃 와이어를 갖는 제 1 및 제 2 반도체 패키지(100, 200)를 준

비한다.

만약 제 1반도체 패키지(100)를 상부층으로 제 2반도체 패키지(200)를 하부층으로 한 스택형 구조로 PCB 기판에 실장하고자 할 경우 제 1반도체 패키지(100)의 상부면에 있는 다수개의 아웃 와이어들(120)을 제 2반도체 패키지(200)의 상부면에 있는 다수개의 아웃 와이어들(220)과 정렬해서 서로 끝단 결속 부분이 교차되어 연결되도록 한다. 이때 도면에 도시되지는 않았지만, 제 1반도체 패키지(100)의 반도체 칩은 아웃 와이어들(120, 220)을 통해 제 2반도체 패키지(200)의 반도체 칩과 접속되게 된다.

그러면 도 4b와 같이, 제 1반도체 패키지(100)와 제 2반도체 패키지(200)가 서로 마주 본 상태에 수직으로 적층된 스택형 구조를 갖으며 이를 PCB 기판(미도시됨)에 실장할 경우 PCB 기판에서 스택형 반도체 패키지가 차지하는 영역을 최소로 줄일 수 있게 된다.

아울러 본 발명은 제 2반도체 패키지(200)의 외곽 표면에 있는 일정 높이의 지지대(230)를 제 1반도체 패키지(100)의 상부면에 있는 지지대 홈(미도시됨)에 끼워 맞추면 이들 스택형 구조의 반도체 패키지들을 안전하게 고정시킬 수 있다. 이때 지지대(230)는 제 1반도체 패키지(100)와 제 2반도체 패키지(200)의 아웃 와이어들(120, 220)이 서로 연결된 전체 높이이상인 바람직하다. 그 이유는 아웃 와이어(120, 220)를 통해 서로 수직으로 연결되는 제 1반도체 패키지(100)와 제 2반도체 패키지(200) 사이의 수직 공간 높이를 지지대(230)가 결정하기 때문이다.

한편, 본 발명의 설명시 패키지 상부 및 하부에 각각 내부 리드 프레임과 수

직으로 연결되며 끝단이 절쇠 형태인 아웃 와이어들을 갖는 반도체 패키지 두 개로 실장하였지만, 사용자 요구에 맞춰 3개이상 적층한 스택형 구조로 PCB 기판에 실장할 수도 있다.

【발명의 효과】

이상 설명한 바와 같이, 본 발명은 패키지의 상부면 또는 하부면에 각각 패키지 내부의 리드 프레임과 수직으로 연결되며 끝단이 절쇠 형태인 아웃 와이어들을 추가하고 서로 다른 반도체 패키지의 아웃 와이어를 서로 연결하여 스택형 구조의 패키지로 제작함으로써 적어도 두 개이상의 반도체 칩을 패키지화할 경우 어느 하나의 반도체 패키지내 칩에서 불량 발생하더라도 이들 패키지를 쉽게 분리하여 다른 정상 패키지로 교환할 수 있기 때문에 제품 수율을 향상시킬 수 있는 효과가 있다.

한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주내에서 당업자에 의해 여러 가지 변형이 가능하다.

【특허청구범위】

【청구항 1】

내부에 반도체 칩과 상기 반도체 칩과 리드 프레임이 와이어를 통해 연결된 반도체 패키지에 있어서,

상기 반도체 패키지의 상부면 또는 하부면에 상기 리드 프레임이 각각 수직으로 연결되어 패키지 외부로 돌출되며 끝단이 걸쇠 형태를 갖는 다수개의 아웃 와이어를 구비한 것을 특징으로 하는 와이어 스택형 반도체 패키지 구조.

【청구항 2】

제 1항에 있어서, 상기 아웃 와이어가 있는 패키지의 외곽 표면에 일정 높이의 지지대를 더 구비한 것을 특징으로 하는 와이어 스택형 반도체 패키지 구조.

【청구항 3】

제 1항 또는 제 2항에 있어서, 상기 패키지 표면에 지지대가 삽입되는 홈을 더 구비한 것을 특징으로 하는 와이어 스택형 반도체 패키지 구조.

【청구항 4】

내부에 반도체 칩과 상기 반도체 칩과 리드 프레임이 와이어를 통해 연결된 적어도 두 개 이상의 반도체 패키지에 있어서,

상기 패키지의 상부면 또는 하부면에 상기 리드 프레임이 각각 수직으로 연결되어 패키지 외부로 돌출되며 끝단이 걸쇠 형태를 갖는 다수개의 아웃 와이어를 갖는 제 1 및 제 2반도체 패키지에서 하부 제 1반도체 패키지의 각 아웃 와이어들이 걸쇠를 통해 서로 연결되도록 하는 것을 특징으로 하는 와이어 스택형 반도체

패키지.

【청구항 5】

제 4항에 있어서, 상기 제 1 및 제 2반도체 패키지 중에서 어느 한 패키지의 아웃 와이어가 있는 외곽 표면에 일정 높이의 지지대를 더 구비한 것을 특징으로 하는 와이어 스택형 반도체 패키지 구조.

【청구항 6】

제 5항에 있어서, 상기 지지대는 상기 제 1 및 제 2반도체 패키지의 아웃 와이어들이 서로 연결되는 전체 높이이상인 것을 특징으로 하는 와이어 스택형 반도체 패키지.

【청구항 7】

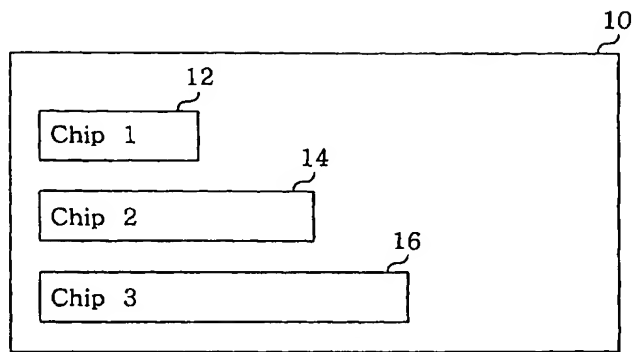
제 5항에 있어서, 상기 제 1 및 제 2반도체 패키지 표면에 지지대가 삽입되는 홈을 더 구비한 것을 특징으로 하는 와이어 스택형 반도체 패키지 구조.

【청구항 8】

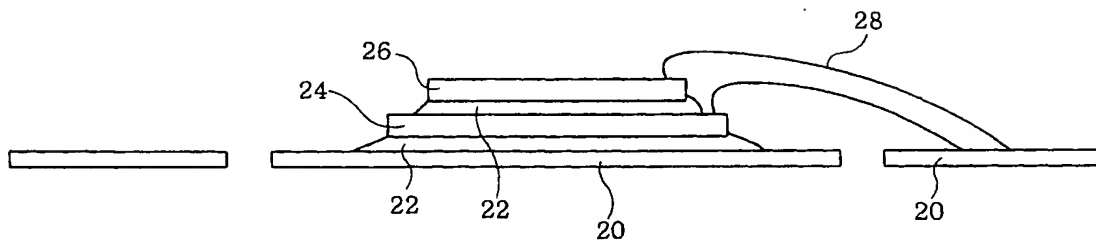
제 5항 또는 제 7항에 있어서, 상기 제 1 및 제 2반도체 패키지의 지지대와 이의 홈을 정렬해서 삽입한 것을 특징으로 하는 와이어 스택형 반도체 패키지.

【도면】

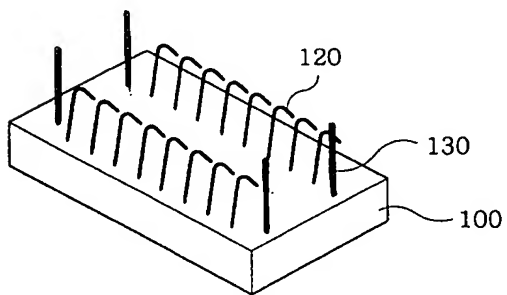
【도 1】



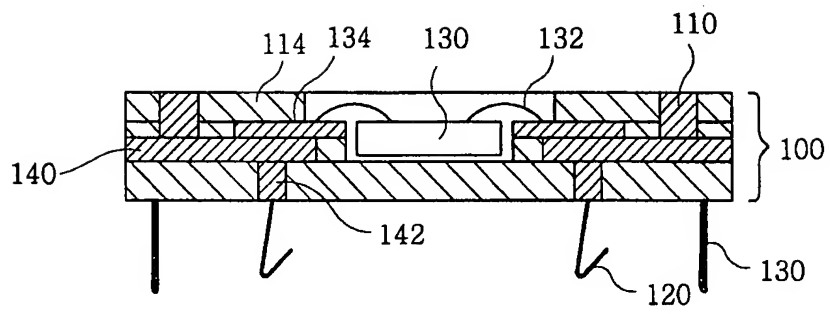
【도 2】



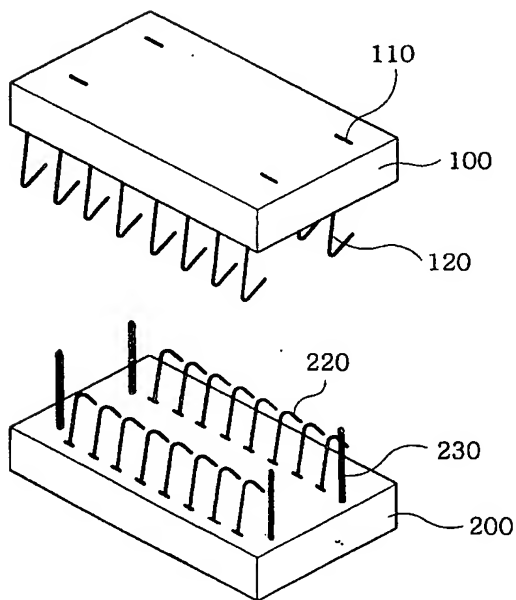
【도 3a】



【도 3b】



【도 4a】



【도 4b】

